

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216752

(43)Date of publication of application : 05.08.1994

(51)Int.Cl. H03K 19/0185
 H03K 17/10
 H03K 17/687
 H03K 19/003

(21)Application number : 05-303313

(71)Applicant : SUN MICROSYST INC

(22)Date of filing : 10.11.1993

(72)Inventor : ROGERS ALAN C

(30)Priority

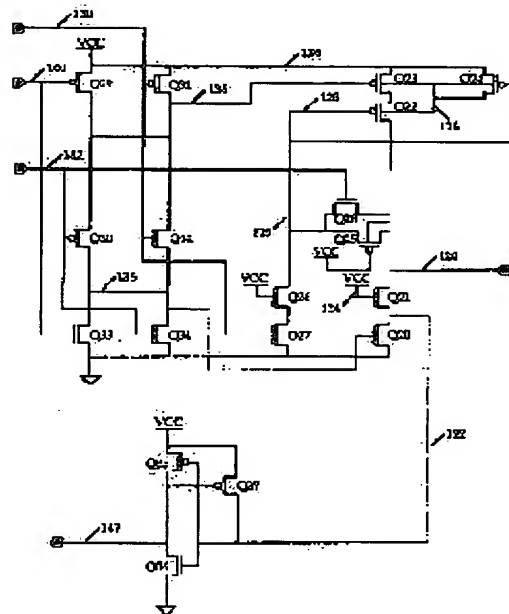
Priority number : 92 974100 Priority date : 10.11.1992 Priority country : US

(54) VOLTAGE INTERFACE CIRCUIT FOR INTEGRATED CIRCUIT, AND METHOD FOR INTERFACING INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To interface a low voltage circuit to a high voltage environment by adopting the new n-type well bias of separate circuit and MOSTr for a voltage interface circuit in order to drive the high voltage environment in the fluctuation of low voltage.

CONSTITUTION: This voltage interface circuit for interfacing an integrated circuit, which is operated by a VCC power supply voltage, to the higher voltage environment can drive the higher voltage circuit or bus recognizing the fluctuation of VCC voltage through the integrated circuit. The voltage interface circuit is composed of a three-state control part, output pull-up part, output pull-up control part and input part and the output pull-up part is composed of pchTrQ23 and pchTrQ24. The n-type well of TrQ22 is floated. When an n-type well 126 is to be connected to the VCC, with the increase of voltage at an output node 120 toward 5 V, a current increasing p-n junction between the drain of TrQ22 and the n-type well is let flow, the voltage at an n-type well 126 is increased higher than Vcc and the junction disconnection of Q22-Q24 keeps a functional state.

**LEGAL STATUS**

[Date of request for examination] 10.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3440454

[Date of registration] 20.06.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

P-2288

(19)日本国特許庁 (J P) (12) 公開特許公報 (A) (11)特許公開番号
特開平6-216752
(43)公開日 平成6年(1994)8月5日

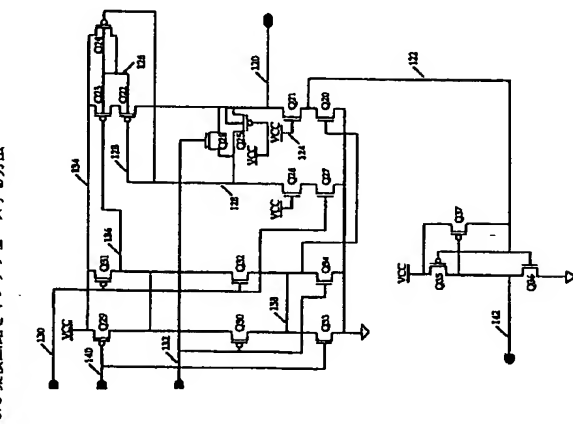
(61)Int.Cl. ⁴	機別記号	庁内整理番号	F I	技術指示箇所
H 0 3 K 19/0185	17/10	9184-5J		
17/687		8941-5J	H 0 3 K 19/00	1 0 1 B
		7436-5J	17/687	F
審査請求 未請求 請求項の数 3 F D (全 9 頁) 最終頁に続く				
(21)出願番号	特願平5-303313	(71)出願人	591064003	
(22)出願日	平成5年(1993)11月10日	サン・マイクロシステムズ・インコーポレーテッド		
(31)優先権主張番号	9 7 4, 1 0 0	SUN MICROSYSTEMS, INCORPORATED		
(32)優先日	1992年11月10日	アメリカ合衆国 94043 カリフォルニア州・マウンテンビュー・ガルシア アヴェニュー・2550		
(33)優先権主張国	米国 (U S)	アラバマ・ロジャーズ		
		アメリカ合衆国 94303 カリフォルニア州・バロ アルト・ロマ ヴァーデ・983		
		(72)発明者		
		(74)代理人	弁理士 山川 政樹	

(54)【発明の名称】 集積回路用電圧インタフェース回路および集積回路をインタフェースする方法

(57)【要約】

【目的】 低電圧トランジスタのみを含んでいる低電圧集積回路を高電圧環境へインタフェースするための電圧インタフェース・バッファを提供する。

【構成】 低電圧の領域において高電圧環境を駆動するために、電圧インタフェース回路は分極回路とMOSトランジスタの新鋭なn井戸バイアスを採用する。高電圧の領域においては高電圧環境を駆動するために、電圧インタフェース回路は、高電圧を供給されるバイアス・バッファ・トランジスタをバイアスするためのバイアス回路を採用する。応用の例として、電圧インタフェース・バッファは3ボルトまたは3.3ボルト集積回路チップがTTLとCMOS電圧レベルを駆動することを可能にする。更に、電圧インタフェース・バッファは2ボルト集積回路チップがTTL電圧レベルを駆動することを可能にする。



ることが可能になる。しかし、集積回路のトランジスタの物理的寸法を小さくすると、集積回路の電源電圧もそれに対応して低くなる。たとえば、より新しい世代の高密度集積回路に含まれている金属酸化膜半導体 (MOS) トランジスタのチャネル長は、古い世代の高密度集積回路のMOSトランジスタのチャネル長より短く製造される。しかし、新しい世代のより深いゲート酸化物層は、厚いゲート酸化物層を持つ従来の世代の高い電圧レベルに耐えることができない。

【0003】その結果、新しい世代のMOS集積回路は以前の世代のものより低い電源電圧で動作する。たとえば、新しい世代のMOS集積回路の多くは、以前の世代において共通の5Vではなくて3.3Vの電源電圧で動作する。しかし、多くの用途においては、低い電源電圧で動作する集積回路はより高い電圧で動作する装置およびバスとインタフェースせねばならない。低電圧集積回路が高電圧環境へ結合されるものとして、低電圧MOSトランジスタの薄いゲート酸化物層が徐々に劣化する。そうすると集積回路の信頼性が低くなり、最終的には故障する。

【0004】ここで、集積回路のバッタのための典型的な従来の三状態入力/出力回路が示されている図1を参照する。出力データ信号101がトランジスタQ10、Q12のゲートへ結合される。出力可能化 (OE) 信号105がトランジスタQ13、Q14のゲートを制御するために結合される。出力回路はプルアップトランジスタQ16とプルダウントランジスタQ17を有する。トランジスタQ16のn井戸106が電源電圧VCCへ結合される。入力回路はプルアップトランジスタQ18とプルダウントランジスタQ19で構成される。

【0005】従来の回路が正しく動作するためには、電源電圧VCCは出力バッタ102における電圧より高いか、それに等しくなければならず、出力バッタ102における電圧は非通ノード107における電圧より高いか、それに等しくなければならない。VCC電源電圧より高い電圧の振れを有するバスその他の装置へ出力バッタ102が結合されるものとして、従来の回路に含まれているトランジスタのゲート酸化物層は劣化しやすいため、プルアップトランジスタQ18とプルダウントランジスタQ19は故障しやすい。また、トランジスタQ16のドレインから、トランジスタQ16のn井戸まで、およびVCC電源電圧ノード100まで導通路が存在する。

【0006】低電圧集積回路を高電圧環境へインタフェースする従来の1つの技術は、低電圧環境と高電圧環境の間のバッファとしてインタフェース・チップを使用することである。しかし、そのようなインタフェース・チップは低電圧集積回路との間の信号のやり取りを大きく

トランジスタQ58はP_{bias}部のための電流源である。
トランジスタQ59、Q60、Q62、Q64は電流源
により制御される電流ミラーである。P_{bias}部150の
電圧は電源電圧V_{CC}と電源電圧V_{CC}*の差にほぼ等
しい。後で詳しく説明するように、P_{bias}部150は入
力部と出力部に含まれているトランジスタを保護するた
めに用いられる。

【0024】図4はランジスタQ40～Q57で構成された出力部を示す。三状態モードはOE182とOE181により決定される。OE180はOE182の補数である。この回路が三状態モードにあると、OE182は低く、OE180は高い。出力部は集積回路のヒンのための出力データ出力データノード162に受ける。出力部は出力データにおける出力データを駆動する。

【0025】 ノチヤネル、トランジスタQ56はゲルダウノチヤネル、トランジスタQ57を過電圧から保護する。トランジスタQ56のゲートはノード1152におけるVCCへ結合される。出力ノード172における電圧が5Vに達したとしても、トランジスタQ56はノード1158が約2V以上に上昇することを阻止する。その結果、出力ノード172とノード1158間の最高電圧は約3Vである。山ガク172とノード1152間トランジスタQ56の最高ゲート酸化物層電圧は3.3V（出力ノード172が0Vの時）、または1.7V（出力ノード172が5Vの時）である。

【0026】同様にして、pチャネル・トランジスタQ55はpチャネルプッシュアップトランジスタQ54を過電圧から保護する。トランジスタQ55のゲートはp_{bias}に結合される。トランジスタQ55のゲートにおけるp_{bias}過電圧レベルにより、トランジスタQ54、Q55のゲート酸化物層へ加えられる電圧を3.3V以下に維持する。

【0027】トランジスタQ40～Q53は、出力データノード162におけるVCC電位の振れと出力データノード172におけるVCC*電位の振れとの間の遅レベル変換器として機能する。出力データノード162における高電圧はnチャネル・トランジスタQ45、Q52をターンオンしてノード174と168を引き下げ、出力データノード162における低電圧はpチャネル・トランジスタQ46、Q47をターンオンしてノード174と168を引き上げる。ノード174における高電圧はnチャネル・トランジスタQ44をターンオンする。その結果として電流がpチャネル・トランジスタQ41とnチャネル・トランジスタQ42を流れる。そうするとノード164における電圧が引き下げられる。ノード164における低電圧はpチャネル・トランジスタQ48をターンオンさせる。

【0028】トランジスタQ48とQ54をターンオンさせるために、トランジスタQ40とQ48はノード16

【0028】トランジスタQ48とQ54をターンオフ
 するために、トランジスタQ40とQ48はノード16

4と170における電圧を回復させる。トランジスタQ48がターンオンすると、トランジスタQ48を流れる電流がトランジスタQ49、Q50、Q51に電流を流させる。そうすると、ノード168は高くなる。ノード168における高電圧はトランジスタQ57をターンオンして出力ノード172を引き下げる。トランジスタQ48を流れる電流はノード170も高くなる。ノード170における高電圧レベルはトランジスタQ54をターンオフする。

【0029】出力デュータノード162が高電圧になると、トランジスタQ52はターンオンしてノード168を引き下げる。ノード168における低電圧はトランジスタQ57をターンオフする。ノード170がVCC*より低い電圧になると、トランジスタQ54はターンオンする。ノード170における低電圧はトランジスタQ40もターンオンし、トランジスタQ48をターンオフする。

【0030】図5は入力部を示す。この入力部はトランジスタQ56〜Q71で構成される。入力はノード158と159から取り出される。pチャネル・トランジスタQ67、Q68と、nチャネル・トランジスタQ69、Q70は、ノード156、168におけるVCC*（高圧のレベル）と、ノード160におけるVCC（電圧のレベル）をスイッチングとして機能する。nチャネル・トランジスタQ69はnチャネルフルダウングトランジスタQ70を駆動する。トランジスタQ69のゲートはVCQ70を駆動する。pチャネル・トランジスタQ68はpチャネルフルアップトランジスタQ67を駆動する。トランジスタQ68のゲートはPbias150へ結合され

【0031】ノード154における電圧が低い時は、pチャネル・トランジスタQ65は入力データノード160における電圧を引き上げる。ノード154における電圧が高い時は、トランジスタQ66は入力データノード160における電圧を引き下げる。pチャネル・トランジスタQ71はノード154へ帰還を行うために結合する。トランジスタQ71は全VCC電圧の領域をノード154へ供給する。

【図面の簡単な説明】

【図1】集積回路のための典型的な従来の入力／出力回
路と、高電圧を受けた時に破壊されやすいトランジスタ
を示す。

【図2】VCC電源電圧で動作する集積回路をより高い電圧環境へインタフェースするための電圧インタフェース回路の一環施例を示す。

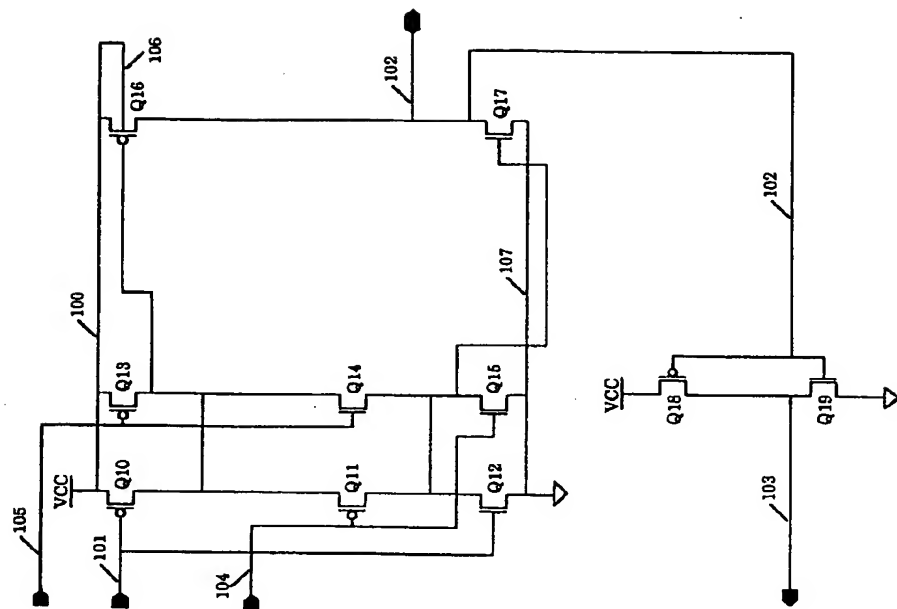
【図3】VCC電源電圧で動作する集積回路がより高いVCC*電圧の振れの回路またはバスを駆動できるようにする電圧インタフェース回路の一実施例を示す。

【図4】VCC電源電圧で動作する集積回路がより高いVCC*電圧の振れの回路またはバスを駆動できるような回路

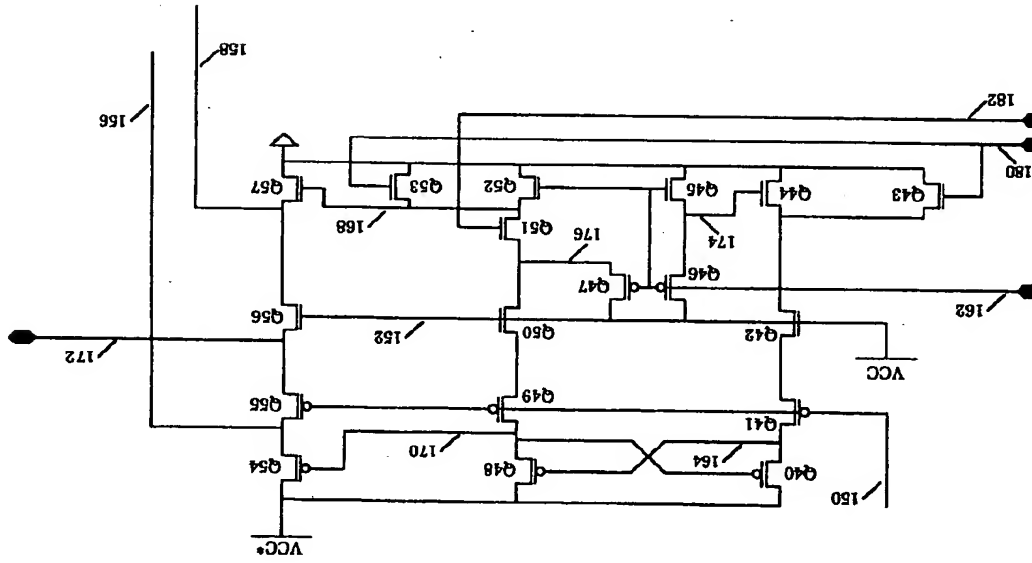
にする電圧インタフェース回路の別の実施例を示す。

【図5】VCC電源電圧で動作する集積回路がより高いVCC*電圧の振れの回路またはバスを駆動できるようにする電圧インタフェース回路の更に別の実施例を示す。

【圖 1】



【図4】



フロントページの続き

(51)Int. Cl. 5

H03K 19/003

識別記号 庁内整理番号

E 8911-5 J

F I

技術表示箇所